



SPEICHERBELEGUNG (PLUS/4)

Adresse	RAM	ROM
\$FFFF 65535	RAM-Bereich	* ROM-BANK-HIGH *
\$FFFE 65534		IRQ-Vektor
\$FFFC 65532		Restart-Vektor
\$FFFA 65530		NMI-, Start-Vektor
\$FFF5 65525		Kernal-Sprungtabelle
\$FF81 65409		
\$FF40 65344		
\$FF3F 65343	I/O-Adressen (bis \$FEFF 65279) und TED-Chip-Register	
\$FD00 64768		
\$FCFF 64767	* Basic-RAM *	ROM-Banking-Routinen
\$FC00 64512		
\$FBFF 64511		Betriebssystem
\$D800 55296		
\$D7FF 55295		Character-Tabelle
\$D000 53248		
\$CFFF 53247		Basic-Erweiterungen
\$C000 49152		*****
\$BFFF 49151		* ROM-BANK-LOW *
\$BFFF 49151		Basic
\$8000 32768		
\$4000 16384	Basic-RAM-Anfang (bei Grafik)	
\$3FFF 16383	Bildschirmspeicher (Grafik)	
\$2000 8192		
\$1FFF 8191	Farbtabelle (Grafik)	
\$1C00 7168		
\$1BFF 7167	Luminanz (Grafik)	
\$1800 6144		
\$1000 4096	Basic-RAM-Anfang (ohne Grafik)	
\$0FFF 4095	Bildschirmspeicher (Text)	
\$0C00 3072		
\$0BFF 3071	Farbspeicher (Text)	
\$0800 2048		
\$07FF 2047	Systemspeicher	
\$0000 0		



#### 4.5.2. DMA-Timing

Der 7360 (TED) bildet DMA-Zyklen (DMA: Direct memory access, direkter Speicherzugriff) um verschiedene Informationen zum Erhalten des Videobildes zu holen. Zweimal für jede Zeile eines Zeichens (ein Zeichen besteht aus einem Feld von 8\*8 Bit): Zum Erhalten der Farbinformation für jedes Zeichen, und zum Erhalten des Zeigers auf den Zeichensatz des entsprechenden Zeichens. Im Bitmap-Mode wird dieser DMA ebenfalls durchgeführt, aber die Information wird anders interpretiert.  
Der DMA-Zyklus unterteilt sich in folgende Schritte:

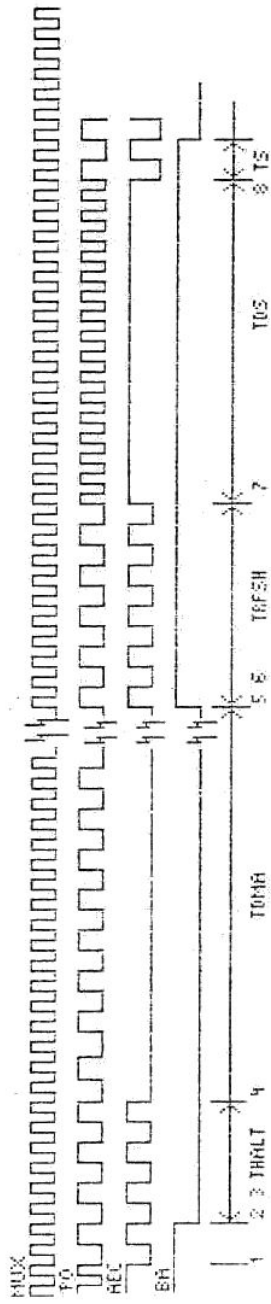
- 1.) Der Systemtakt wird für einen Zyklus auf normale Geschwindigkeit gesetzt. Gleichzeitig startet ein AEC-Takt, der den Bus dem 8360 zur Verfügung stellt.
- 2.) BA wird low.
- 3.) Drei Zyklen werden der CPU noch gegeben um den aktuellen Befehl zu beenden bevor der DMA beginnt. (CPU wird hochohmig)
- 4.) 40 Zyklen vom Einfachtakt. In jedem Zyklus macht der TED zwei Zugriffe. (MUX hat doppelten Takt!)
- 5.) BA wird high und gleichzeitig erlaubt AEC, daß die CPU wieder auf den Bus darf.
- 6.) Es folgen 5 Zyklen mit Einfachtakt in denen der TED den DMA durchführt. (Im zweiten Teil jedes Taktes hat die CPU Buszugriff.) *Refresh um zu drei bis fünf p. 2.2.7.*
- 7.) 16 Zyklen mit doppeltem Takt. (=8 Zyklen Einfachtakt.) Der TED hat keinen Buszugriff. Alle Leistungen stehen der CPU zur Verfügung.
- 8.) War der letzte DMA für Zeile 8 eines Zeichens, wird der DMA für Zeile 1 des nächsten Zeichens vorbereitet.

Falls der Screen abgeschaltet ist, so werden nur die 5 Zyklen mit dem Refresh mit Einfachtakt durchgeführt. Alle übrige Zeit steht der CPU mit doppelter Taktfrequenz zur Verfügung.

##### 4.5.2.1 TED DMA Timing

Titel	Zyklen	Zeit	Takt	Bemerkung
THALT	3	3µs	0.85	TIME, HALT (kein CPU-Zugriff)
TDMA	40	46µs	0.85	TIME, DMA (80 Zugriffe des TED!)
TRFSH	5	5µs	0.85	TIME, RFSH (5 CPU-Zugriffe)
TDS	16	9µs	1.7	TIME, DOUBLE SPEED (16 CPU-Takte)
TS	1	1µs	0.85	TIME, SYNCRONIZE (1 CPU-Zugriff)
-----				
	65	64µs	= eine Bildschirmzeile	

Bei eingeschaltetem Bildschirm stehen der CPU somit 20 Zyklen zur Verfügung. Dabei am rechten Rand des Bildschirms (rechter Rahmen) 16 Zyklen mit 1,7MHz Takt.



Bei jedem MUX-Takt wird ein BUS-Zugriff gemacht. Teilweise nur für TED oder nur für CPU (TDS) oder auch für beide (abwechseln) bei TRFSH.